

TW
2634

Docket No.: GR 98 P 2037

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: *Kyl Sisselman* Date: January 23, 2006

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 09/756,084 Confirmation No: 6448
Applicant : Martin Buck
Filed : Jan. 8, 2001
Art Unit : 2634
Examiner : Dac V. Ha
Title : Circuit for Determining the Time Difference Between Edges of a
First Digital Signal and of a Second Digital Signal
Docket No. : GR 98 P 2037
Customer No. : 24131

CLAIM FOR PRIORITY

Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 198 30 570.2, filed July 8, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Kyl Sisselman
Kerry P. Sisselman
Reg. No. 37,237

Date: January 23, 2006
Lerner Greenberg Sterner LLP
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101
sa

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 198 30 570.2

Anmeldetag: 8. Juli 1998

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Erstanmelder: Siemens Aktiengesellschaft,
80333 München/DE

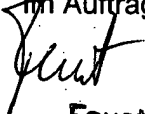
Bezeichnung: Schaltung zur Ermittlung der Zeitdifferenz zwischen
Flanken eines ersten und eines zweiten digitalen
Signals

IPC: G 01 R, H 03 K, G 04 F

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Januar 2006
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag


Faust

Beschreibung

5 Schaltung zur Ermittlung der Zeitdifferenz zwischen Flanken
eines ersten und eines zweiten digitalen Signals

Die Erfindung betrifft eine Schaltung zur Ermittlung der
Zeitdifferenz zwischen Flanken eines ersten und eines zweiten
digitalen Signals.

10

Eine derartige Schaltung ist in der DE-C1 195 06 543 be-
schrieben. Bei dieser wird einer Reihenschaltung von Inver-
tern ein erstes Signal zugeführt. Die Ausgänge je zweier auf-
einanderfolgender Inverter sind mit Eingängen von UND-Gattern
verbunden. Die UND-Gatter werden durch ein zweites Signal ak-
15 tiviert beziehungsweise deaktiviert. Bei einer positiven
Flanke des zweiten Signals erfolgt eine Aktivierung der UND-
Gatter, woraufhin diese durch Vergleich ihrer Eingangssignale
an ihrem Ausgang anzeigen, ob eine positive Flanke des ersten
20 Signals bereits die mit ihnen verbundene Inverter der Reihen-
schaltung durchlaufen hat oder nicht. Die Ausgangssignale der
UND-Gatter werden in Flip-Flop-Schaltungen gespeichert.

25

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltung der
eingangs erwähnten Art anzugeben, für die eine geringere An-
zahl von Schaltungskomponenten benötigt wird als beim genann-
ten Stand der Technik.

30

Diese Aufgabe wird mit einer Schaltung gemäß Anspruch 1 ge-
löst. Vorteilhafte Aus- und Weiterbildungen der Erfindung
sind Gegenstand abhängiger Ansprüche.

35

Die erfindungsgemäße Schaltung zur Ermittlung der Zeitdiffe-
renz zwischen Flanken eines ersten und eines zweiten digita-
len Signals weist einen ersten Eingang zum Zuführen des er-
sten Signals zu einer Reihenschaltung mehrerer Grundelemente
auf. Jedes der Grundelemente hat eine Speichereinheit zum

Speichern des am Eingang des Grundelementes anliegenden Signalpegels, wobei der Ausgang des Speicherelementes mit dem Eingang des nächsten Grundelementes verbunden ist. Weiterhin weist die Schaltung einen zweiten Eingang zum Zuführen des zweiten Signals auf, der mit einem Steuereingang jedes Grundelementes verbunden ist. Die Speicherelemente übernehmen bei einem ersten Pegel des zweiten Signals den im vorhergehenden Speicherelement gespeicherten Signalpegel und behalten bei einem zweiten Pegel des zweiten Signals den jeweils in ihnen gespeicherten Signalpegel bei. Weiterhin weist die Schaltung Vergleichseinheiten auf, denen jeweils die von den Speichereinheiten zweier benachbarten Grundelemente gespeicherten Signalpegel zugeführt werden, woraufhin die Vergleichseinheiten an ihren Ausgängen entsprechende Ergebnissignale liefern. Dabei liefern die Vergleichseinheiten bei Zuführung zweier gleicher Signalpegel jeweils ein anderes Ergebnissignal als bei Zuführung zweier unterschiedlicher Signalpegel.

Erfindungsgemäß ist es also vorgesehen, die Speichereinheiten innerhalb der Reihenschaltung aus Grundelementen, also im Signalpfad des ersten Signals anzuordnen. Die Reihenschaltung der Grundelemente dient der Ermittlung der Zeit zwischen dem Auftreten einer Flanke des ersten Signales am Eingang der Reihenschaltung und dem Auftreten einer Flanke des zweiten Signales und hat die Funktion einer Laufzeitkette. Somit tragen die in diese Reihenschaltung integrierten Speicherelemente, die jeweils eine Verzögerung des an ihrem Ausgang sich einstellenden Signalpegels gegenüber dem in ihnen zu speichernden Signalpegel bewirken, zur Laufzeitverzögerung der Flanke des ersten Signales bei.

Die Speicherelemente dienen also zweierlei Funktion: Zum einen dem Speichern der Information, wie weit die Flanke des ersten Signals bis zum Auftreten der Flanke des zweiten Signals durch die Reihenschaltung der Grundelemente gelaufen ist und zum zweiten der Verzögerung der Flanke des ersten Signals, die sich durch die Reihenschaltung der Grundelemente

ausbreitet. Bei der eingangs erwähnten DE-C1 195 06 543 sind dagegen verschiedene Komponenten für die Verzögerung des ersten Signals in einer Reihenschaltung zuständig und zum Speichern des beim Auftreten der Flanke des zweiten Signals ermittelten Ergebnisses. In der genannten Druckschrift sind dies im ersten Fall Inverter und im zweiten Fall Flip-Flops. Daher kommt demgegenüber die erfindungsgemäße Schaltung aufgrund der Doppelfunktion ihrer Speicherelemente mit weniger Komponenten aus.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert.

Figur 1 zeigt ein Ausführungsbeispiel der Erfindung und

Figur 2 zeigt die Signalverläufe des ersten und zweiten Signals aus Figur 1.

Die erfindungsgemäße Schaltung in Figur 1 weist eine Reihenschaltung von Grundelementen auf, von denen jedes eine erste Schalteinheit SW1 und eine Speichereinheit M beinhaltet. Jede Speichereinheit M weist zwei gegenparallel angeordnete Inverter I, die eine Halteschaltung bilden, und einen diesen nachgeschalteten weiteren Inverter I auf. Dem Eingang der Reihenschaltung der Grundelemente wird ein erstes Signal S1 zugeführt. Wenn alle ersten Schalteinheiten SW1 leitend geschaltet sind, läuft eine Flanke des ersten Signals S1 durch die Reihenschaltung der Grundelemente und wird dabei durch die Inverter I der Speichereinheiten M verzögert. Jede erste Schalteinheit SW1 weist einen Steuereingang auf, der mit einem zweiten Signal S2 verbunden ist. Der Schaltzustand der ersten Schalteinheiten SW1 wird durch den Signalpegel des zweiten Signals S2 bestimmt. Dies wird im folgenden anhand von Figur 2 erläutert.

Figur 2 sind die Signalverläufe der beiden Signale S1, S2 zu entnehmen. Vor einem ersten Zeitpunkt t_1 weisen beide Signale

- S1, S2 einen niedrigen Pegel auf. Im vorliegenden Fall bewirkt der niedrige Pegel des zweiten Signals S2, daß alle ersten Schalteinheiten SW1 leitend geschaltet sind. Daher wird der niedrige Pegel des ersten Signals S1 in allen Speichereinheiten M gespeichert. Zum ersten Zeitpunkt t_1 weist das erste Signal S1 eine positive Flanke auf, die durch die Reihenschaltung der Grundelemente übertragen wird. Dabei sind die ersten Schalteinheiten SW1 aufgrund des niedrigen Pegels des zweiten Signals S2 leitend geschaltet. Zu einem zweiten Zeitpunkt t_2 wechselt das zweite Signal S2 vom niedrigen zu einem hohen Pegel, der ein gleichzeitiges Sperren aller ersten Schalteinheiten SW1 bewirkt. Dadurch wird erreicht, daß zum zweiten Zeitpunkt t_2 die Speichereinheiten M den in ihnen gespeicherten Signalpegel jeweils beibehalten. Dies hat zur Folge, daß diejenigen Speichereinheiten M, bis zu denen sich die positive Flanke des ersten Signals S1 bis zum Zeitpunkt t_2 ausgebreitet hat, einen anderen Pegel speichern als die nachfolgenden Speichereinheiten M.
- In Figur 1 sind jeweils die Eingänge zweier benachbarter Speichereinheiten M mit Eingängen eines XOR-Gatters verbunden. Am Ausgang der XOR-Gatter wird nur dann ein hoher Pegel erzeugt, wenn die beiden ihnen zugeführten Signalpegel, die in den entsprechenden Speichereinheiten M gespeichert sind, voneinander abweichen. Daher kann mittels der XOR-Gatter festgestellt werden, bis wohin sich die positive Flanke des ersten Signals S1 durch die Reihenschaltung der Grundelemente ausgebreitet hat, bevor die positive Flanke des zweiten Signals S2 aufgetreten ist. Die Ausgangssignale der XOR-Gatter zeigen also an, um wieviel die Flanke des zweiten Signals S2 gegenüber der Flanke des ersten Signals S1 verzögert ist.

Um die Ausgangssignale der XOR-Gatter weiter auszuwerten, können weitere Komponenten der erfindungsgemäßen Schaltung vorgesehen sein, wie dies in Figur 1 dargestellt ist. Die Schaltung in Figur 1 weist eine Reihenschaltung mehrerer Verzögerungselemente V auf. Jedes Verzögerungselement beinhaltet

eine Reihenschaltung zweier Inverter I. Der Ausgang jedes Verzögerungselements V ist über eine zweite Schalteinheit SW2 mit einem Ausgang OUT verbunden. Die Verzögerungselemente V und die zweiten Schalteinheiten SW2 bilden eine Verzögerungseinheit, deren Eingang der Eingang der Reihenschaltung der Verzögerungselemente V ist. Dem Eingang der Verzögerungseinheit wird ein Referenzsignal REF zugeführt. Die zweiten Schalteinheiten SW2 weisen jeweils einen Steuereingang auf, der mit dem Ausgang je eines der XOR-Gatter verbunden ist.

10 Nach dem Auftreten der positiven Flanke des zweiten Signals S2 zum zweiten Zeitpunkt t_2 weist nur ein Ausgangssignal der XOR-Gatter einen hohen Pegel auf. Die zweiten Schalteinheiten SW2 sind gesperrt, wenn ihrem Steuereingang ein niedriger Pegel zugeführt wird, und leiten, wenn ihnen ein hoher Pegel

15 zugeführt wird. Daher leitet zum zweiten Zeitpunkt t_2 nur diejenige zweite Schalteinheit SW2, deren XOR-Gatter an seinem Ausgang einen hohen Pegel liefert. Flanken des Referenzsignals REF werden durch die Verzögerungselemente V verzögert an den Ausgang OUT der Verzögerungseinheit ausgegeben. Dabei

20 ist der Grad der Verzögerung abhängig davon, wieviele der Verzögerungselemente V durchlaufen werden. Das wiederum wird dadurch bestimmt, welche der zweiten Schalteinheiten SW2 jeweils leitend ist. Somit ergibt sich eine Einstellung der Verzögerung des Referenzsignals REF durch die Verzögerungseinheit in Abhängigkeit vom Ausgangssignal der XOR-Gatter und

25 damit in Abhängigkeit von der Zeitdifferenz zwischen den Flanken der beiden Signale S1, S2.

Als Referenzsignal REF eignet sich insbesondere ein Taktsignal. Die ersten und zweiten Schalteinheiten SW1, SW2 können beispielsweise mittels Transistoren realisiert sein. Es kann sich dabei insbesondere um Transfergates handeln. Als Speichereinheiten M können auch andere als die in Figur 1 gezeigten zum Einsatz kommen. In jedem Fall weist die in Figur 1 im

30 oberen Teil gezeigte Anordnung der Reihenschaltung der Grundelemente den Vorteil auf, daß die darin enthaltenen Speichereinheiten M außer ihrer Speicherfunktion auch der Verzö-

35

gerung der Flanke des ersten Signals S1 innerhalb der Reihenschaltung der Grundelemente dient. Die Speichereinheiten M üben also eine Doppelfunktion aus. Es kann somit auf zusätzliche Verzögerungselemente in der Reihenschaltung bzw. zusätzliche Speichermittel außerhalb der Reihenschaltung der Grundelemente verzichtet werden, so daß die gezeigte Schaltung mit relativ wenigen Komponenten auskommt.

Abweichend von Figur 1 können die Grundelemente neben den Speichereinheiten M und den ersten Schalteinheiten SW1 weitere Verzögerungseinheiten, beispielsweise in Form weiterer Inverter enthalten, um größere Verzögerungszeiten je Grundelement zu erreichen. Die in Figur 1 dargestellte Realisierung der Speichereinheiten M durch drei Inverter I weist den Vorteil eines besonders einfachen Aufbaus mit nur wenigen Komponenten auf. Gleichzeitig ergibt sich durch die Reihenschaltung der Inverter I innerhalb der Speichereinheiten M ebenso wie bei gewöhnlichen Verzögerungsschaltungen der Vorteil einer einfachen und genauen Einstellung der gewünschten Laufzeiten des ersten Signals S1 durch die Reihenschaltung.

Patentansprüche

1. Schaltung zur Ermittlung der Zeitdifferenz zwischen Flanken eines ersten (S1) und eines zweiten (S2) digitalen Signals
5
- mit einem ersten Eingang zum Zuführen des ersten Signals (S1) zu einer Reihenschaltung mehrerer Grundelemente, wobei jedes Grundelement eine Speichereinheit (M) zum Speichern des am Eingang des Grundelementes anliegenden Signalpegels aufweist, wobei der Ausgang des Speicherelementes (M) mit dem Eingang des nächsten Grundelementes verbunden ist,
10
- mit einem zweiten Eingang zum Zuführen des zweiten Signals (S2), der mit einem Steuereingang jedes Grundelementes verbunden ist, wobei die Speicherelemente (M) bei einem ersten Pegel des zweiten Signals den im vorhergehenden Speicherelement gespeicherten Signalpegel übernehmen und wobei die Speicherelemente (M) bei einem zweiten Pegel des zweiten Signals, den jeweils in ihnen gespeicherten Signalpegel beibehalten,
15
- und mit Vergleichseinheiten (XOR), denen jeweils die von den Speichereinheiten (M) zweier benachbarter Grundelemente gespeicherten Signalpegel zugeführt werden, woraufhin die Vergleichseinheiten an ihren Ausgängen entsprechende Ergebnissignale liefern,
20
- wobei jede Vergleichseinheit (XOR) bei Zuführung zweier gleicher Signalpegel ein anderes Ergebnissignal liefert als bei Zuführung zweier unterschiedlicher Signalpegel.
25
2. Schaltung nach Anspruch 1,
30 deren Grundelemente jeweils eine Reihenschaltung einer ersten Schalteinheit (SW1) und des Speicherelementes (M) enthalten, wobei der Steuereingang des Grundelementes ein Steuereingang der Schalteinheit ist.
- 35 3. Schaltung nach Anspruch 1 oder 2, deren Vergleichseinheiten (XOR) XOR-Gatter sind.

4. Schaltung nach einem der vorstehenden Ansprüche,
- mit einer Verzögerungseinheit mit einem Eingang zur Zuführung eines Referenzsignals (REF) und mit einem Ausgang (OUT),
- 5 - wobei der Eingang der Verzögerungseinheit mit einer Reihenschaltung mehrerer Verzögerungselemente (V) verbunden ist,
- wobei die Verzögerungseinheit zweite Schalteinheiten (SW2) aufweist, die jeweils zwischen einem Ausgang je eines der Verzögerungselemente und dem Ausgang (OUT) der Verzögerungseinheit angeordnet sind,
- 10 - wobei die zweiten Schaltelemente (SW2) einen Steuereingang aufweisen, der mit dem Ausgang eines der Vergleichseinheiten (XOR) verbunden ist.
- 15 5. Schaltung nach einem der vorstehenden Ansprüche, deren Speichereinheiten jeweils zwei gegenparallel angeordnete Inverter aufweisen.

Zusammenfassung

5 Schaltung zur Ermittlung der Zeitdifferenz zwischen Flanken
eines ersten und eines zweiten digitalen Signals

Die Schaltung weist einen ersten Eingang zum Zuführen des ersten Signals (S1) zu einer Reihenschaltung mehrere Grundelemente auf, wobei jedes Grundelement eine Speicher (M) zum
10 Speichern des am Eingang des Grundelementes anliegenden Signalpegels aufweist, wobei der Ausgang des Speicherelementes (M) mit dem Eingang des nächsten Grundelementes verbunden ist. Weiterhin weist die Schaltung einen zweiten Eingang auf zum Zuführen des zweiten Signals (S2), der mit einem Steuer-
15 eingang jedes Grundelementes verbunden ist, wobei die Speicherelemente (M) bei einem ersten Pegel des zweiten Signals den im vorhergehenden Speicherelement gespeicherten Signalpegel übernehmen und wobei die Speicherelemente (M) bei einem zweiten Pegel des zweiten Signals den jeweils in ihnen gespeicherten Signalpegel beibehalten. Weiterhin weist die
20 Schaltung Vergleichseinheiten (XOR) auf, denen jeweils die von den Speichereinheiten (M) zweier benachbarter Grundelemente gespeicherten Signalpegel zugeführt werden.

25 Figur 1



BEST AVAILABLE COPY

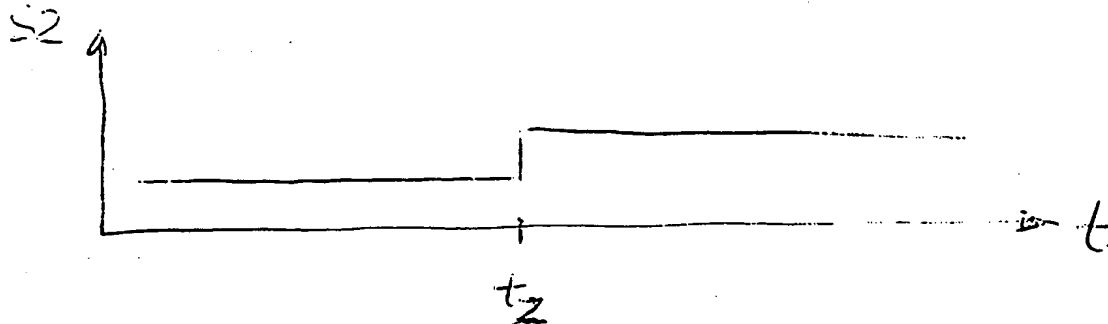
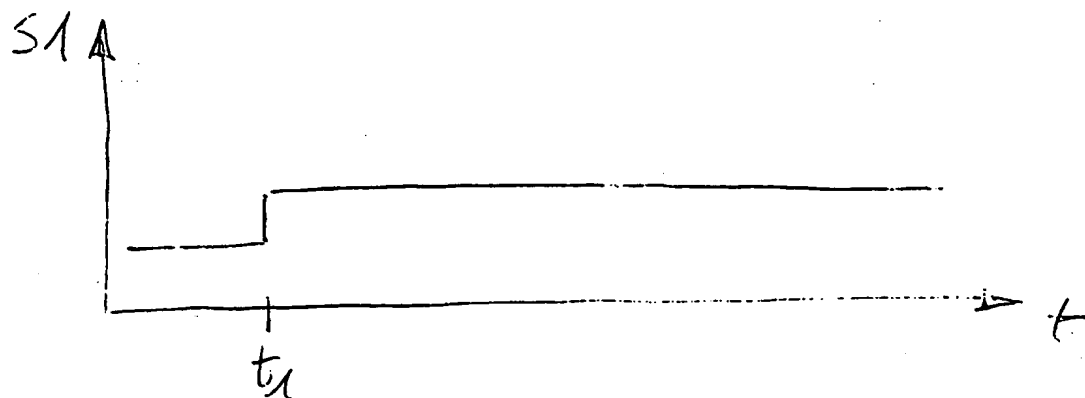


Fig. 2